

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-255912

(43)Date of publication of application : 10.09.2003

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G09G 3/20  
G09G 3/30

(21)Application number : 2002-059567

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 05.03.2002

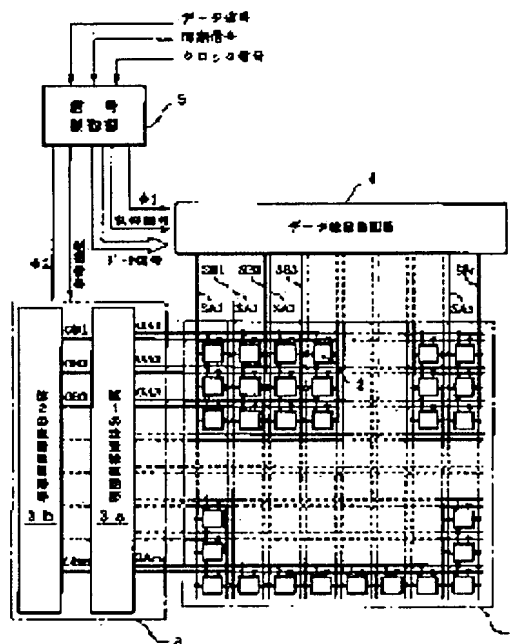
(72)Inventor : OZAWA YUTAKA

(54) ELECTRO-OPTICAL DEVICE, ELECTRONIC EQUIPMENT USING THE SAME, AND METHOD FOR DRIVING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To make the resolution of a display panel higher by relaxing the time restriction caused by data writing in blinking in which black data are forcibly written in pixels after picture data are written in the pixels in a frame period.

**SOLUTION:** In an electro-optical display device, two switching elements are provided in parallel in each of pixels 2 constituting a liquid crystal panel 1. In a frame period, the writing of picture data to the pixels is performed by successive selection of first scanning lines GA by a first scanning line driving part 3a. Then, the rewriting of black data to the pixels in which the picture data are written is performed by the successive selection of second scanning lines GB by a second scanning line driving part 3b.



## LEGAL STATUS

[Date of request for examination]

26.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Best Available Copy**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-255912

(P2003-255912A)

(43) 公開日 平成15年9月10日 (2003.9.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 7 0	G 0 2 F 1/133	5 7 0 5 C 0 0 6
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 A 5 C 0 8 0
	6 2 4		6 2 4 B
	6 6 0		6 6 0 V

審査請求 未請求 請求項の数 6 OL (全 10 頁) 最終頁に続く

(21) 出願番号 特願2002-59567 (P2002-59567)

(22) 出願日 平成14年3月5日 (2002.3.5)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小澤 裕

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外2名)

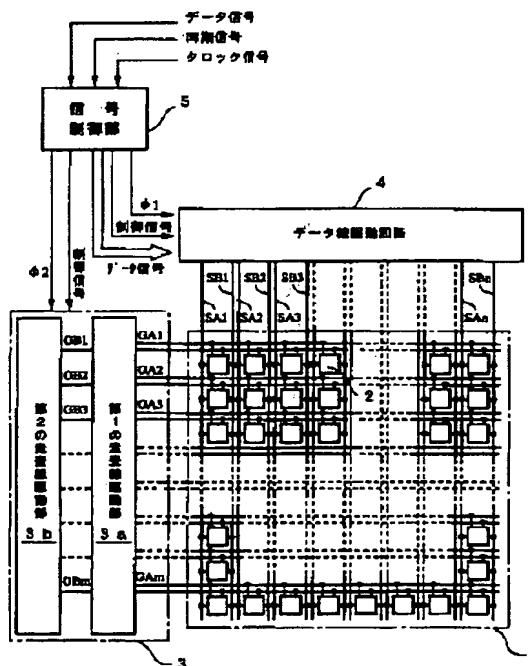
最終頁に続く

(54) 【発明の名称】 電気光学装置、それを用いた電子機器および電気光学装置の駆動方法

## (57) 【要約】

【課題】 1 フレーム期間内で画像データを書込んだ後に黒データを強制的に書込むブリンキングにおいて、データ書込みに起因した時間的制約を緩和し、表示パネルの一層の高解像度化を可能にする。

【解決手段】 液晶パネル1を構成するそれぞれの画素2には、2つのスイッチング素子を並列に設ける。1フレーム期間において、画像データの書込みは、第1の走査線駆動部3aによる第1の走査線GAの順次選択によって行う。そして、画像データが書込まれた画素に対する黒データの再書込みは、第2の走査線駆動部3bによる第2の走査線GBの順次選択によって行う。



## 【特許請求の範囲】

【請求項 1】電気光学素子を駆動する電気光学装置において、

複数の第 1 の走査線および複数の第 2 の走査線と、  
複数のデータ線と、

複数の画素がマトリクス状に並んでおり、前記画素のそれぞれは、第 1 のスイッチング素子と第 2 のスイッチング素子と電気光学素子とを有し、前記第 1 のスイッチング素子は、いずれかの前記第 1 の走査線といずれかの前記データ線とに接続されており、前記第 1 の走査線の走査信号に応じて導通し、前記第 2 のスイッチング素子は、いずれかの前記第 2 の走査線と前記画素を黒表示させる黒データが供給されるノードとに接続されており、前記第 2 の走査線の走査信号に応じて導通する表示パネルと、

一のフレーム期間において、前記第 1 の走査線に走査信号を出力することにより、前記第 1 の走査線を順次選択する第 1 の走査線駆動部と、

前記第 1 の走査線駆動部と協働するとともに、前記データ線を介して、前記電気光学素子に画像データを書込むデータ線駆動部と、

前記一のフレーム期間において、画像データが書込まれた前記画素に黒データを書込むために、前記第 2 の走査線に走査信号を出力することにより、前記第 2 の走査線を順次選択する第 2 の走査線駆動部とを有することを特徴とする電気光学装置。

【請求項 2】複数の第 2 のデータ線をさらに有し、それぞれの前記画素の前記ノードは、いずれかの前記第 2 のデータ線に接続されており、

前記データ線駆動部は、前記第 2 のデータ線を介して、前記ノードに黒データを供給することを特徴とする請求項 1 に記載された電気光学装置。

【請求項 3】それぞれの前記画素の前記ノードは、1 つの共通配線に共通接続されていることを特徴とする請求項 1 に記載された電気光学装置。

【請求項 4】前記表示パネルの第 1 の垂直ライン上に並んでいるそれぞれの前記画素の前記ノードは、第 1 の共通配線に共通接続されており、

前記第 1 の垂直ラインと隣接した第 2 の垂直ライン上に並んでいるそれぞれの前記画素の前記ノードは、第 2 の共通配線に共通接続されていることを特徴とする請求項 1 に記載された電気光学装置。

【請求項 5】請求項 1 から 4 のいずれかに記載された電気光学装置を有する電子機器。

【請求項 6】電気光学素子を駆動する電気光学装置の駆動方法において、

複数の画素がマトリクス状に並んでおり、前記画素のそれぞれは、第 1 のスイッチング素子と第 2 のスイッチング素子と電気光学素子とを有し、前記第 1 のスイッチング素子は、複数の第 1 のデータ線のいずれかと複数の第

1 の走査線のいずれかとに接続されており、前記第 2 のスイッチング素子は、複数の第 2 の走査線のいずれかと複数の第 2 のデータ線のいずれかとに接続されている表示パネルに関して、一のフレーム期間において、前記第 1 の走査線を順次選択し、当該選択した第 1 の走査線に接続されている前記第 1 のスイッチング素子を導通するとともに、当該導通させた第 1 のスイッチング素子に対応する前記電気光学素子に、前記第 1 のデータ線を介して、画像データを書込むステップと、

前記一のフレーム期間において、画像データが書込まれた前記画素に黒データを書込むために、前記第 2 の走査線を順次選択し、当該選択した第 2 の走査線に接続されている前記第 2 のスイッチング素子を導通するとともに、当該導通させた第 2 のスイッチング素子に対応する前記電気光学素子に、黒データを書込む第 2 のステップとを有することを特徴とする電気光学装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気光学装置、それを用いた電子機器、および電気光学装置の駆動方法に係り、特に、ブリンキング（Blinking）による動画表示特性の改善に関する。

【0002】

【従来の技術】ホールド型ディスプレイの高画質化を図る上での課題として、動画表示特性の改善が挙げられる。ホールド型ディスプレイとは、1 フレーム期間中、画像を表示し続けるディスプレイをいい、液晶ディスプレイ等はこのタイプに属する。画像表示の最小単位である画素に書込まれたデータは、1 フレーム周期後にデータが再度書込まれるまで、画素内のキャパシタによって保持される。そのため、1 フレーム周期内で一時的に発光するインパルス型ディスプレイ（例えば CRT）と比較して、特に動画を表示する際に残像が目立ち、動画が不鮮明になる（表示ボケが生じる）という問題がある。これを解消するために、従来より、ブリンキングと呼ばれる技術が提案されている。ブリンキングは、1 画像の表示単位である 1 フレームを表示する期間、すなわち 1 フレーム期間において、画像表示後に強制的に黒を再表示させるものである。ブリンキングを大別すると、画像データを書込んだ画素に対して黒データを再度書込む方法と、バックライトを周期的に点滅させる方法とがあり、これらを併用した方法も提案されている。

【0003】例えば、特開 2000-105575 号公報や特開 2000-122596 号公報には、黒データの再書込みによるブリンキングについて記載されている。これらはいずれも、ゲート線にゲートが接続され、データ線にソースが接続されたスイッチング素子を画素毎に 1 つ設け、単一の駆動回路対（1 つの走査線駆動回路および 1 つのデータ線駆動回路）により、画像データと黒データとの書込みを行っている。すなわち、従来

は、一般的な液晶駆動回路と同様、1つの走査線群、1つのデータ線群、画素毎に1つのスイッチング素子、および1つの駆動回路対からなる1系統の駆動系によって、プリンキングを実現していた。

【0004】

【発明が解決しようとする課題】しかしながら、従来技術のように、1系統の駆動系によるプリンキングでは、これを行わない場合（画像データのみ書き込み）と比較して、データ書き込みに関する時間的な制約が厳しくなる。一般に、データを書込む際に全走査線を選択するのに要する時間、すなわち「データ書込期間」は、1本の走査線を選択するのに要する期間（選択期間 $T_{sel}$ ）と走査線の本数 $m$ との積によって決まる。そのため、フレーム周波数を変えないで走査線の本数を増やそうとすると、選択期間 $T_{sel}$ を短縮する必要がある。例えば、フレーム周波数60Hzの線順次駆動の場合、SXGAパネル（ $m=1024$ ）の選択期間 $T_{sel}$ は16.3[ $\mu\text{sec}$ ]になり、UXGAパネル（ $m=1200$ ）では13.9[ $\mu\text{sec}$ ]になる。また、点順次駆動における選択期間 $T_{sel}$ は、線順次駆動のそれと比較して、相展開数分だけ更に短くなる。選択期間 $T_{sel}$ が短くなると、その期間内で画素中のキャパシタに対する電荷供給を行わなければならない、より電荷供給能力の高いトランジスタが要求される。しかしながら、表示パネルの高解像度化に伴い、トランジスタのサイズ自体も小さくなる傾向があるため（それに伴いトランジスタの能力も低下する）、要求される供給能力を確保することは容易ではない。特に、プリンキングでは、1フレーム期間において、画像データの書き込み後に黒データを再度書き込むため、データ書き込みに関する時間的な制約は一層厳しくなる。このような理由から、1系統の駆動系によるプリンキングでは、データ書き込みに必要な選択期間 $T_{sel}$ を十分に確保することが困難になる。

【0005】本発明は、かかる事情に鑑みてなされたものであり、その目的は、プリンキングにより動画表示特性を改善する新規な電気光学装置を提供することである。

【0006】また、本発明の別の目的は、プリンキングを用いた表示制御において、データ書き込みに関する時間的な制約を緩和し、有効なデータ書き込みを行い得る選択期間を確保しながら、表示パネルの一層の高解像度化を可能にすることである。

【0007】

【課題を解決するための手段】第1の発明は、1フレーム期間内で画像データを書込んだ後に黒データを強制的に書き込む電気光学装置を提供する。この電気光学装置は、複数の第1の走査線および複数の第2の走査線と、複数のデータ線と、表示パネルと、第1の走査線駆動部と、第2の走査線駆動部と、データ線駆動部とを有する。これにより、この電気光学装置は、少なくとも2系統の駆動系を備えることになる。表示パネルには、複数

の画素がマトリクス状に並んでおり、画素のそれぞれは、第1のスイッチング素子と第2のスイッチング素子と電気光学素子とを有する。第1のスイッチング素子は、いずれかの第1の走査線といずれかのデータ線とに接続されており、第1の走査線の走査信号に応じて導通する。第2のスイッチング素子は、いずれかの第2の走査線と画素の表示階調を黒に設定する電位が供給されるノードとに接続されており、第2の走査線の走査信号に応じて導通する。第1の走査線駆動部は、一のフレーム期間において、第1の走査線に走査信号を出力することにより、第1の走査線を順次選択する。データ線駆動部は、第1の走査線駆動部と協働するとともに、データ線を介して、電気光学素子に画像データを書込む。第2の走査線駆動部は、一のフレーム期間において、画像データが書込まれた画素に黒データを書込むために、第2の走査線に走査信号を出力することにより、第2の走査線を順次選択する。

【0008】ここで、第1の発明において、複数の第2のデータ線をさらに設けて、それぞれの画素のノードを、いずれかの第2のデータ線に接続してもよい。この場合、データ線駆動部は、第2のデータ線を介して、ノードに黒データを供給する。また、それぞれの画素のノードを、1つの共通配線に共通接続してもよい。さらに、それぞれの画素の2つの共通配線に共通接続してもよい。この場合、表示パネルの第1の垂直ライン上に並んでいる各画素のノードは、第1の共通配線に共通接続され、第1の垂直ラインと隣接した第2の垂直ライン上に並んでいる各画素のノードは、第2の共通配線に共通接続されていることが好ましい。

【0009】第2の発明は、上記第1の発明に係る電気光学装置を有する電子機器を提供する。

【0010】第3の発明は、電気光学素子を駆動する電気光学装置の駆動方法を提供する。この駆動方法では、表示パネルにマトリクス状に並んでいる各画素に対して、1フレーム期間内で画像データを書込んだ後に黒データを強制的に書き込む。ここで、画素のそれぞれは、第1のスイッチング素子と第2のスイッチング素子と電気光学素子とを有する。第1のスイッチング素子は、複数の第1のデータ線のいずれかと複数の第1の走査線のいずれかとに接続されている。第2のスイッチング素子は、複数の第2の走査線のいずれかと複数の第2のデータ線のいずれかとに接続されている。第1のステップでは、一のフレーム期間において、第1の走査線を順次選択し、選択した第1の走査線に接続されている第1のスイッチング素子を導通するとともに、導通させた第1のスイッチング素子に対応する電気光学素子に、第1のデータ線を介して、画像データを書込む。第2のステップでは、上記一のフレーム期間において、画像データが書込まれた画素に黒データを書込むために、第2の走査線を順次選択し、選択した第2の走査線に接続されている

第2のスイッチング素子を導通するとともに、導通させた第2のスイッチング素子に対応する電気光学素子に、黒データを書込む。

【0011】

【発明の実施の形態】(第1の実施形態)図1は、本実施形態に係る電気光学装置のブロック構成図である。表示パネル1は、FET(電界効果型トランジスタ)等のスイッチング素子によって液晶を駆動するアクティブマトリクス型の液晶パネルであり、 $n$ ドット $\times m$ ライン分の画素2がマトリクス状(すなわち、二次元平面的)に並んでいる。また、この表示パネル1には、水平方向に延在している2組の走査線群GA1~GA $m$ 、GB1~GB $m$ と、垂直方向に延在している2組のデータ線群SA1~SA $n$ 、SB1~SB $n$ とが設けられている。第1の走査線群GA1~GA $m$ と第1のデータ線群SA1~SA $n$ とは互いに交差し、第2の走査線群GB1~GB $m$ と第2のデータ線群SB1~SB $n$ とは互いに交差している。画素2は、第1の走査線群GA1~GA $m$ と第1のデータ線群SA1~SA $n$ との各交点で、かつ、第2の走査線群GB1~GB $m$ と第2のデータ線群SB1~SB $n$ との各交点に対応して配置されている。すなわち、表示パネル1中の1水平ラインには、2本の走査線GA、GBが対応付けられており、1垂直ラインには、2本のデータ線SA、SBが対応付けられている(ここで、“GA”とは、GA1~GA $m$ の任意の1本を指す意味で用いており、他の符号についても同様である)。

【0012】図2は、電気光学素子として液晶を用いた画素2の等価回路図である。画像表示の最小表示である画素2には、2つのスイッチング素子2a、2bが並列に設けられている。第1のスイッチング素子であるFET2aのソースは、第1のデータ線SAに接続されるとともに、そのゲートは、第1の走査線GAに接続されている。同一の垂直ライン上に存在する複数の画素2に関して、それぞれのFET2aのソースは、画像データが供給される第1のデータ線SAに共通に接続されている。また、同一の水平ライン上に存在する複数の画素2に関して、それぞれのFET2aのゲートは、第1の走査線GAに共通に接続されている。一方、第2のスイッチング素子であるFET2bのソースは、ノードAにおいて第2のデータ線SBと接続されているとともに、そのゲートは、第2の走査線GBに接続されている。このノードAには、第2のデータ線SBを介して、画素2の表示階調を黒に設定する電位Vblack(黒データ)が供給される。同一の垂直ライン上に存在する複数の画素2に関して、それぞれのFET2bのソースは、第2のデータ線SBに共通に接続されている。また、同一の水平ライン上に存在する複数の画素2に関して、それぞれのFET2bのゲートは、第2の走査線GBに共通に接続されている。また、1つの画素2に含まれる2つのFET2a、2bのドレインは、共通接続されており、こ

の共通接続されたノードには、画素キャパシタ2cと蓄積キャパシタ2dとが並列に接続されている。画素2にデータ(画像データまたは黒データ)が供給されると、その画素2内のキャパシタ2c、2dが充放電され、データに応じた電位差が画素電極と対向電極との間に生じる。これにより、電気光学素子(すなわち画素電極と対向電極との間に封じ込まれた液晶)が駆動する。

【0013】ここで、1つの画素2に関して、キャパシタ2c、2dに対するデータの供給経路は2つ存在する。1つは、第1のデータ線SA、FET2aのソースドレインを介した経路であり、この経路は、第1の走査線GAの走査信号に応じて、一方のFET2aが導通(オン)した場合に形成される。もう1つは、第2のデータ線SB、ノードAa、FET2bのソースドレインを介した経路であり、この経路は、第2の走査線GBの走査信号に応じて、他方のFET2bが導通(オン)した場合に形成される。これらの経路は、いずれかのFET2a、2bをオンすることにより択一的に形成され、同一画素2中の2つのFET2a、2bが同時にオンすることはない。そのため、1つの画素2に対して、画像データと黒データとが同時に供給されることはない。

【0014】走査線駆動回路3は、シフトレジスタ、出力回路等を主体に構成されており、第1の走査線群GA1~GA $m$ と第2の走査線群GB1~GB $m$ とが接続されている。走査線駆動回路3は、これを機能的に捉えた場合、第1の走査線群GA1~GA $m$ に走査信号を出力する第1の走査線駆動部3aと、第2の走査線群GB1~GB $m$ に走査信号を出力する第2の走査線駆動部3bとを有する。ここで、走査線GA、GBの添字1~ $m$ の順序は、本実施形態における走査線駆動回路3の走査方向、すなわち、走査線GA、GBの選択順序に対応している。一方、データ線駆動回路4は、シフトレジスタ、ラインラッチ回路、DAコンバータ、インピーダンス変換出力回路等を主体に構成されており、第1のデータ線群SA1~SA $n$ と第2のデータ線群SB1~SB $n$ とに接続されている。データ線駆動回路4は、第1のデータ線群SA1~SA $n$ に画像データを出力し、その電位VSAを後述するVgray(Vgray+, Vgray-)に設定する。それとともに、データ線駆動回路4は、第2のデータ線群SB1~SB $n$ に黒データを出力し、その電位VSBを後述するVblack(Vblack+, Vblack-)に設定する。

【0015】信号制御部5は、画像データ、同期信号、クロック信号等の入力信号に基づき、走査線駆動回路3とデータ線駆動回路4とを制御する。信号制御部5は、走査線駆動回路3に対して、クロック信号 $\phi$ 1、画像データおよび制御信号を出力する。制御信号としては、1フレーム毎のレベル反転を指示する交流化駆動信号等が挙げられ、この信号の指示により、画像データと黒データとの極性がフレーム毎に反転する。また、信号制御部

5は、データ線駆動回路4に対して、クロック信号φ2、制御信号を出力する。クロック信号φ1、φ2による同期制御の下、走査線駆動回路3とデータ線駆動回路4とは互いに協働し、表示パネル1を構成する各画素2に対してデータ(画像データおよびプリンキング用の黒データ)を書込む。

【0016】図3は、液晶をTNモードで駆動する場合(ノーマリホワイトモード)におけるデータ書込みのタイミングチャートである。同図において、ある走査線GAの1フレーム期間Tframeは、第1の走査線GAの電位VGAがVgonになってから、次にVgonになる直前までの期間である。また、1フレーム期間Tframeは、前半の画像データ表示期間Tdataと、後半の黒データ表示期間Tblackとに分かれている。画像データ表示期間Tdataは、第1の走査線GAの電位VGAがVgonになってから、これと同一水平ラインに対応付けられた第2の走査線GBの電位VGBがVgonになる直前までの期間である。黒データ表示期間Tblackは、第2の走査線GBの電位VGBがVgonになってから、これと同一水平ラインに対応付けられた第1の走査線GAの電位VGAがVgonになる直前までの期間である。例えば、表示パネル1の最上の水平ラインに関していえば、1フレーム期間Tframeはt~タイミングt11、画像データ表示期間Tdataはt1~t6、黒データ表示期間Tblackはt6~t11となる。

【0017】まず、タイミングt1において、第1の走査線駆動部3aは、第1の走査線群GA1~GA<sub>m</sub>のうち、最上の走査線GA1を選択する。このタイミングt1で、走査線GA1の電位VGA1は、Vgon(FET2a、2bが導通状態になるオン電位)に立ち上がり、所定の選択期間だけVgonに維持される。走査線GA1の選択時において、非選択の走査線GA2~GA<sub>m</sub>の電位VGA2~VGA<sub>m</sub>は、Vgoff(FET2a、2bが非導通状態になるオフ電位)のままである。走査線GA1の選択によって、最上の水平ライン上の複数の画素2が同時に選択され、これにゲート接続されているFET2aが同時に導通する。

【0018】一方、データ線駆動回路4は、第1の走査線GA1の選択と同期して、このライン上の複数の画素2に対する画像データを、第1のデータ線群SA1~SA<sub>n</sub>に出力する。これにより、第1のデータ線SAの電位VSAはVgray+(画像データに応じた可変電位)に設定される。データ線SAに出力された画像データは、最上のゲート線GA1にゲート接続された導通状態のFET2aを介して、後段の画素キャパシタ2cと蓄積キャパシタ2dとに供給される。これにより、最上ラインのキャパシタ2c、2dが充放電され、データ線SAの電位(画素電極側の電位)と対向電極側の電位との間の電位差VLCD1が、Vgray+相当になる(画像データの書込み)。

【0019】その後、走査線GA1の選択期間が経過し、タイミングt2になると、走査線GA1の電位VGA1はVgonからVgoffに立ち下がる。これにより、走査線GA1にゲート接続されたFET2aが非導通になり、後段のキャパシタ2c、2dに対する充放電が停止する。キャパシタ2c、2dに充電された電荷は、第2の走査線GB1の立ち上がりタイミング、すなわち、黒データの書込開始タイミングt6になるまで保持され、その間液晶が駆動する。なお、タイミングt1からタイミングt6までの間は、第2の走査線GB1の電位VGB1はVgoffであり、これにゲート接続されている第2のFET2bは非導通状態になっている。したがって、第2のデータ線SBとキャパシタ2c、2dとは電気的に分離されるので、最上ラインの画素2に黒データが書込まれることはない。

【0020】つぎに、タイミングt2において、第1の走査線駆動部3aは、次の選択対象である走査線GA2を選択する。走査線GA2の電位VGA2は、電位VGA1の立ち下がりと同期したタイミングt2で、Vgonに立ち上がる(これ以外はVgoff)。そして、この電位VGA2は、選択期間だけVgonに維持された後に、再びVgoffに立ち下がる。これにより、先の走査線GA1と同様の書込プロセスにより、走査線GA2の選択期間において、走査線GA2に対応する水平ラインに対する画像データの書込みが行われる。このラインに関して、キャパシタ2c、2dに充電された電荷は、タイミングt7になるまで保持され、その間液晶が駆動する。なお、タイミングt2からタイミングt7までの間は、第2の走査線GB2の電位VGB2はVgoffであるから、このラインの画素2に黒データが書込まれることはない。

【0021】これ以降の走査線GA3~GA<sub>m</sub>についても同様であり、第1の走査線駆動部3aとデータ線駆動回路4とが互いに協働して、第1の走査線GAの選択・画像データの供給を順次行う。つまり、第1のデータ線SAより画像データが供給されるFET2aと第1の走査線GAとに着目すれば、画像データの書込プロセスは従来と同様の線順次走査となる。そして、最後の走査線GA<sub>m</sub>の電位VGA<sub>m</sub>が立ち下がるタイミングt5を以て、1フレームにおける画像データの書込みが終了する。

【0022】タイミングt6において、第2の走査線駆動部3bは、第2の走査線群GB1~GB<sub>m</sub>のうち、最上の走査線GB1を選択する。また、このタイミングt6で、データ線駆動回路4は、データ線SBの電位VSBを黒データ相当のVblack+に設定する。ノーマリホワイトモードでは、液晶に電圧を印加しない状態では白が表示され、高電位Vblack+(および後述するVblack-)を印加した状態では黒が表示される。なお、本実施形態において、黒データの書込開始タイミングt6は、一連の画像データの書込みが終了するタイミングt5よりも後になっているが、このタイミングt6はタイミングt5と同

時もしくはそれ以前であっても構わない。

【0023】このタイミング $t_6$ で、第2の走査線GB1の電位 $V_{GB1}$ は、 $V_{gon}$ に立ち上がり、所定の選択期間だけ $V_{gon}$ に維持される。この走査線GB1の選択時において、非選択の走査線GB2～GBmの電位 $V_{GB2} \sim V_{GBm}$ は、 $V_{goff}$ のままである。走査線GB1の選択によって、最上の水平ラインの複数の画素2が同時に選択され、これにゲート接続されているFET2bが同時に導通する。

【0024】FET2bが導通している間、第2のデータ線SBの電位 $V_{SB}$ （黒データ相当の $V_{black+}$ ）は、最上のゲート線GB1にゲート接続された導通状態のFET2bを介して、後段の画素キャパシタ2c、2dに供給される。これにより、1フレーム期間内で、画像データが書込まれているキャパシタ2c、2dが再度充電され、電位差 $V_{LD1}$ が $V_{black+}$ 相当になる（黒データの書込み）。

【0025】その後、走査線GB1の選択期間が経過し、タイミング $t_7$ になると、走査線GB1の電位 $V_{GB1}$ は $V_{gon}$ から $V_{goff}$ に立ち下がる。これにより、走査線GB1にゲート接続されたFET2bが非導通になり、後段のキャパシタ2c、2dに対する充電が停止する。キャパシタ2c、2dに充電された黒データ相当の電荷は、タイミング $t_{11}$ 、すなわち、次のフレームにおける画像データの書込開始タイミング $t_{11}$ になるまで保持される。つまり、最上ラインでは、1フレーム期間 $t_1 \sim t_{11}$ の内、前半の期間 $t_1 \sim t_6$ では画像が表示され、後半の期間 $t_6 \sim t_{11}$ では黒が表示される。

【0026】つぎに、タイミング $t_7$ において、第2の走査線駆動部3bは、次の選択対象である走査線GB2を選択する。すなわち、走査線GB2の電位 $V_{GB2}$ は、走査線GB1の電位 $V_{GB1}$ の立ち上がりと同期したタイミング $t_7$ で、 $V_{gon}$ に立ち上がる（それ以外の走査線電位は $V_{goff}$ ）。そして、この電位 $V_{GB2}$ は、選択期間だけ $V_{gon}$ に維持された後に、再び $V_{goff}$ に立ち下がる。これにより、先の走査線GB1と同様の書込プロセスにより、第2の走査線GB2の選択期間において、この走査線GB2に対応する水平ラインに対する黒データの書込みが行われる。このラインに関して、キャパシタ2c、2dに充電された電荷は、タイミング $t_{12}$ になるまで保持され、その間液晶が駆動する。つまり、この水平ラインでは、1フレーム期間 $t_2 \sim t_{12}$ の内、前半の期間 $t_2 \sim t_7$ では画像が表示され、後半の期間 $t_7 \sim t_{12}$ では黒が表示される。

【0027】これ以降の走査線GB3～GBmについても同様であり、第2の走査線駆動部3bは、第2の走査線GBを順次選択し、各ライン上の画素2に黒データを書込んでいく。つまり、書込データが供給されるFET2bと第2の走査線GBとに着目すれば、黒データの書込プロセスは従来と同様の線順次走査となる。そして、最

後の走査線GBmの電位 $V_{GBm}$ が立ち下がるタイミング $t_{10}$ を以て、1フレームにおける一連の黒データの書込みが終了する。

【0028】タイミング $t_{11}$ 以降は、次のフレームのデータ書込みが順次行われる。本実施形態では、液晶の寿命向上を図るために、液晶を交流電圧駆動させている。そのため、先のフレームで用いた電位 $V_{gray+}$ の極性を反転させるとともに、電位 $V_{black+}$ の極性も反転させている（ $V_{gray-}$ 、 $V_{black-}$ ）。それ以外は、先のフレームと同様の書込プロセスである。

【0029】このように、本実施形態では、1フレーム期間において、表示パネル1を構成する個々の画素2に対して、画像データを書込んだ後に黒データを再度書込んでいる。画像データの書込みは、第1の走査線駆動部3aによって一方のFET3aを導通し、第1のデータ線SAの電位 $V_{gray+}$ 、 $V_{gray-}$ をキャパシタ2c、2dに供給することにより行われる。また、黒データの書込みは、第2の走査線駆動部3bによって他方のFET2bを導通し、第2のデータ線SBの電位 $V_{black+}$ 、 $V_{black-}$ をキャパシタ2c、2dに供給することにより行われる。これにより、画素2の発光が断続的になり、画素2の光学応答をインパルス型に近づけることができるので、動画表示特性の改善を図ることが可能になる。

【0030】また、本実施形態によれば、データ書込みに起因した時間的制約が緩和されるので、黒データを書込まない通常の駆動方法と比較して、表示パネル1の二層の高解像度化が可能になる。なぜなら、1フレーム期間内における画像データの書込みと黒データの書込みとを、別個の駆動系を用いることにより、オーバーラップして行えるからである。そのため、例えば、最上の水平ラインに関していえば、画像データの書込終了タイミング $t_5$ よりも前に、黒データの書込開始タイミング $t_6$ を設定することが可能になる。したがって、1ライン当たりの実質的な選択期間（およびデータ書込期間）を長くすることが可能になる。

【0031】また、従来技術のように1系統の駆動系によってブリンキングを行う場合と比較して、消費電力の低減を図ることが可能になる。1フレーム期間内において、第1のデータ線SAの電位 $V_{SA}$ の切替回数を減らすことができ、第1の走査線GAと第2の走査線GBとの切替回数も減らせるからである。

【0032】さらに、本実施形態では、第2のデータ線群SB1～SBnを用いることにより、各垂直ラインに対して、黒データの電位設定を任意に行うことが可能になる。したがって、フレーム反転やHライン反転（ライン反転）、Vライン反転（ソース反転）、H/Vライン反転（ドット反転）を行うことができるので、フリッカーや輝度傾斜の発生を有効に抑制することができる。

【0033】なお、本実施形態により高解像度かつ多階調な表示パネル1を有する電気光学装置を、例えば、携

帯電話、携帯端末、パーソナルコンピュータ等の電子機器に適用すれば、電子機器の付加価値を高めることができる。その結果、市場における電子機器の商品訴求力の向上を図ることができる。

【0034】ところで、上述した実施形態では、表示パネル1の二辺に駆動回路系を配置し、走査線駆動回路3の一部として2つの走査線駆動部3a、3bを実現している。しかしながら、本発明は、このような配置例に限定されるものではなく、例えば、図4に示すように、表示パネル1の三辺に駆動回路系を配置してもよい。この配置例では、第1の走査線駆動部3aと同等に機能する第1の走査線駆動回路31と、第2の走査線駆動部3bと同等に機能する第2の走査線駆動回路32とが表示パネル1の左右に設けられている。また、図1において、低温ポリシリコンTFT等よりなる駆動回路系を表示パネル1と一体形成すれば、電気光学装置の製造コストの上昇を抑制することができる。なお、以上の点は、以下に述べる各実施形態についても同様である。

【0035】(第2の実施形態) 上述した第1の実施形態では、ノーマリホワイトモードへの適用例について説明した。これに対して、本実施形態は、液晶をIPSモードやVAモードで駆動する場合(ノーマリブラックモード)への適用例に関する。IPSモードやVAモードによる液晶駆動は、TNモードよりも視野角を広くすることができるので、モニターや液晶TV等に適用する場合に有利である。図5は、本実施形態に係るデータ書込みのタイミングチャートである。なお、電気光学装置の構成等に関しては、図1および図2の構成と同様であるので、ここでの説明を省略する。

【0036】ノーマリブラックモードの場合も、基本的には、図3で説明したノーマリホワイトモードと同様のデータ書込プロセスになる。ただし、ノーマリブラックモードでは、ノーマリホワイトモードとは逆に、液晶に電圧を印加しない状態(Vcom)では黒が表示され、高電位を印加した状態では白が表示される。このような特性より、第2のデータ線SBには、黒データとして低電位Vcomを常時供給しておけばよい。

【0037】このように、本実施形態によれば、第1の実施形態と同様、動画表示特性の改善を図ることが可能になるほか、データ書込みに起因した時間的制約の緩和を図ることができる。また、黒データを供給する第2のデータ線SBの電位VSBを切り替える必要がないので、第1の実施形態と比較して、一層の消費電力の低減を図ることが可能になる。

【0038】(第3の実施形態) 図6は、第3の実施形態に係る電気光学素子のブロック構成図であり、図7は、画素2の等価回路図である。図1および図2と同様のブロック・回路に関しては、図1、図2と同じ符号を付して、ここでの説明を省略する(後述する第4の実施形態についても同様)。本実施形態の特徴は、第2のデ

ータ線群SB1~SBnをなくし、その代わりに、個々の画素2におけるノードAを1つの共通配線に共通した点にある。この共通配線には、黒データ相当の電位VSBが供給されている。それ以外は、データ書込プロセスを含めて、第1の実施形態と同様である。

【0039】本実施形態でも、上述した実施形態と同様、表示特性の改善等を図ることができる。また、第2のデータ線群SB1~SBnをなくし、その代わりに、黒データが供給される1の共通配線を用いることにより、第1および第2の実施形態よりも、電気光学装置の構成を簡略化することができる。さらに、単一の共通配線の電位VSBの極性を反転させて、フレーム反転やHライン反転(ライン反転)を行えば、フリッカーや輝度傾斜の発生を有効に抑制することができる。

【0040】(第4の実施形態) 図8は、第4の実施形態に係る電気光学素子のブロック構成図である。本実施形態では、第2のデータ線群SB1~SBnをなくし、その代わりに、個々の画素2におけるノードAを2つの共通配線に接続し、電位VSB1、VSB2を独立して供給する。具体的には、表示パネルのある第1の垂直ライン上に並んでいる各画素のノードAは、電位VSB1が供給された第1の共通配線に共通接続されている。一方、第1の垂直ラインと隣接した第2の垂直ライン上に並んでいる各画素のノードAは、電位VSB2が供給された第2の共通配線に共通接続されている。

【0041】本実施形態でも、動画表示特性の改善等を図ることができるほか、第3の実施形態と同様に、電気光学装置の構成を簡略化することができる。さらに、第3の実施形態では、Vライン反転、H/Vライン反転を行うことはできないのに対して、本実施形態では、2つの共通配線を設けることで、これらの反転も行うことが可能になる。

【0042】なお、上述した各実施形態では、電気光学素子として液晶(LC)素子を例に説明した。しかしながら、本発明はこれに限定されるものではなく、例えば有機エレクトロルミネッセンス(EL)素子を含めた様々な電気光学素子に広く適用可能である。図9は、有機EL素子を用いた画素2の等価回路図である。この構成は、キャパシタ20c、駆動用FET20d、有機EL素子20eにデータ書込用FET20aを加えた一般的な構成をベースに、FET20aと並列に、黒データ書込用のFET20bを追加した点に特徴がある。図2の構成と同様に、1フレーム期間において、画像データ書込用のFET20aと黒データ書込用のFET20bとを択一的に導通することにより、有機EL素子20eを駆動する。

【0043】

【発明の効果】このように、本発明では、走査線群、データ線群、画素毎に1つのスイッチング素子、および駆動回路対からなる駆動系を複数設け、これらの駆動系を



用いて、1フレーム期間内において、画像データと黒データとの書込みを行う。このようなブリンキングを行うことで、表示パネルの動画表示特性を改善することができる。それとともに、データ書込みに関する時間的制約が緩和される。その結果、表示パネルの高解像度化が進んでも、画素へのデータ書込みを有効に行うのに必要な選択時間を確保することが可能になる。

【図面の簡単な説明】

【図1】第1の実施形態に係る電気光学装置のブロック構成図

【図2】第1の実施形態に係る画素の等価回路図

【図3】第1の実施形態に係るデータ書込みのタイミングチャート

【図4】駆動回路系の配置説明図

【図5】第2の実施形態に係るデータ書込みのタイミングチャート

【図6】第3の実施形態に係る電気光学素子のブロック構成図

\*

\*【図7】第3の実施形態に係る画素の等価回路図

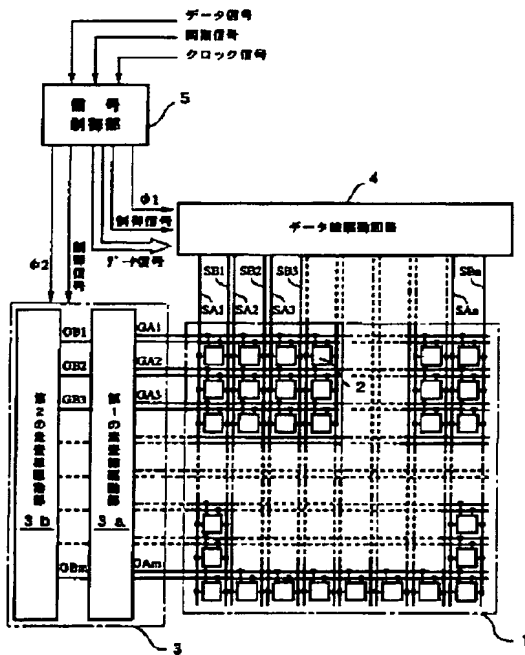
【図8】第4の実施形態に係る電気光学素子のブロック構成図

【図9】有機ELを用いた画素の等価回路図

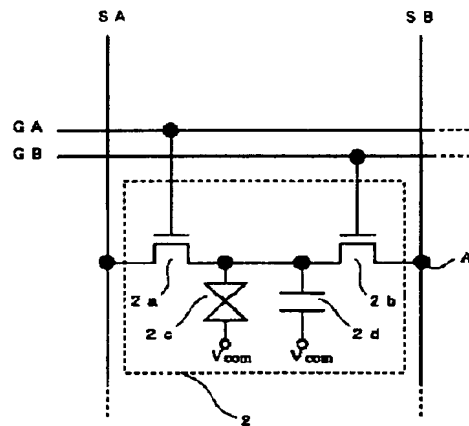
【符号の説明】

- 1 表示パネル
- 2 画素
- 2 a, 2 b FET
- 2 c 画素キャパシタ
- 2 d 蓄積キャパシタ
- 3 走査線駆動回路
- 3 a 第1の走査線駆動部
- 3 b 第2の走査線駆動部
- 4 データ線駆動回路
- 5 信号制御部
- 3 1 第1の走査線駆動回路
- 3 2 第2の走査線駆動回路

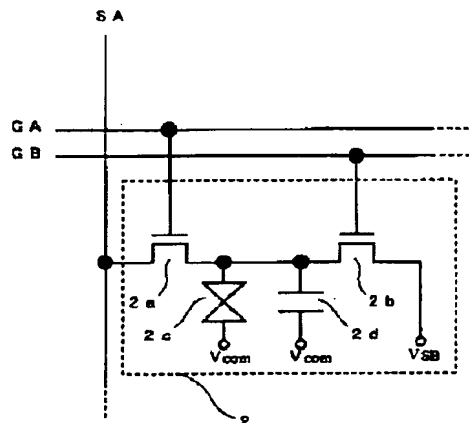
【図1】



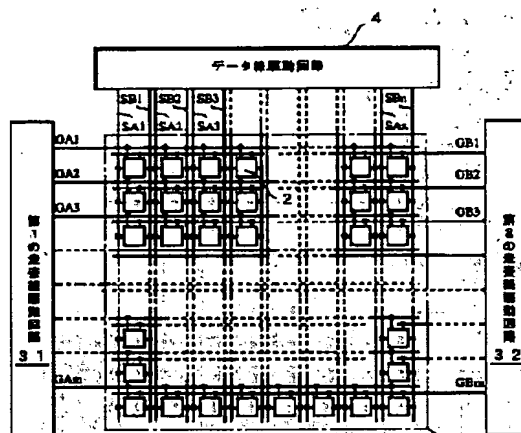
【図2】



【図7】

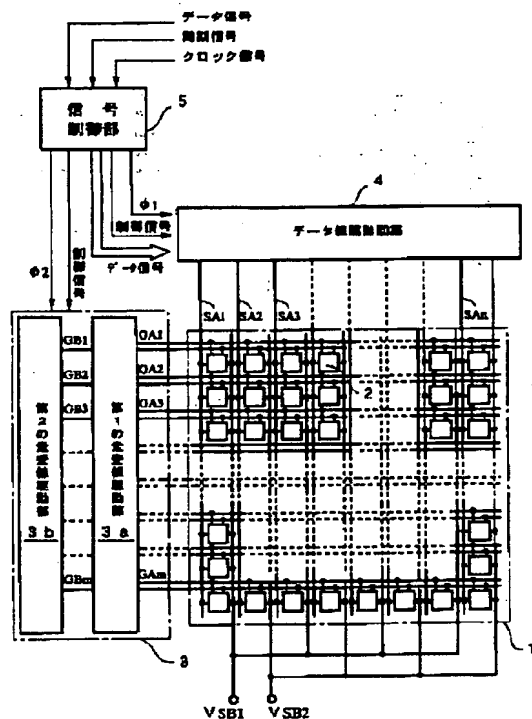


【圖 4】

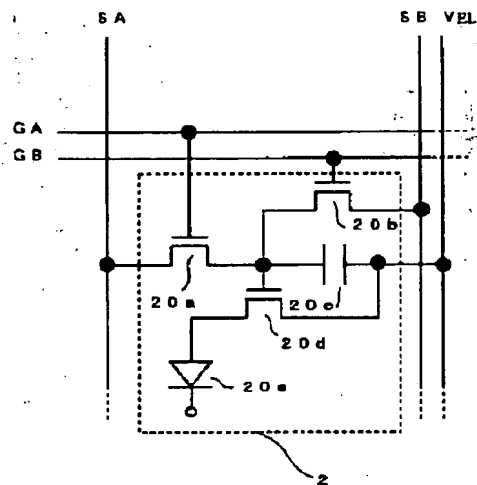


【圖6】

【図8】



【図9】



フロントページの続き

(51)Int.Cl.

G 0 9 G 3/30

識別記号

F I

G 0 9 G 3/30

テーマコード(参考)

J

F ターム(参考) 2H093 NA32 NA33 NC09 NC11 NC15  
NC16 NC40 ND10 ND12  
5C006 AC24 AF44 BB16 BC03 BC06  
BC12 BC16 FA15  
5C080 AA06 AA10 BB05 DD07 DD30  
FF11 JJ02 JJ03 JJ04

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**